

BEST AVAILABLE COPY

JP63-266486

Japanese Unexamined Patent Application Publication No. 63-
266486

In a display controller, timings of internal operations, such as access timing to a frame buffer memory, horizontal and vertical synchronization timings to a CRT display, and display and drawing timings, are strictly specified. Therefore, when a slave display controller is randomly instructed to start a synchronizing operation by a synchronization control signal output from a master display controller, the slave display controller must adjust various timings required for the internal operation and thus cannot immediately start required display control and so on. That is, when the slave display controller is instructed to start a synchronizing operation by a synchronization control signal, the slave display controller must change the phase of a memory cycle inside the slave display controller according to the instruction timing of starting the synchronizing operation and initialize various internal functional blocks, so that a specific synchronization delay is inevitably caused. Due to the synchronization delay, at least the timing of outputting a display address between the master and slave display controllers does not match.

In a system including a plurality of display controllers which share a CRT display, when display data

THIS PAGE BLANK (USPTO)

JP63-266486

read from a frame buffer memory managed by the master display controller is to be synthesized with display data read from a frame buffer memory managed by the slave display controller so as to display the synthesized data, the effect of mismatch of the timing of outputting a display address, caused by the synchronization delay, must be eliminated in some way, in order to realize normally synchronized display by the plurality of display controllers. For this reason, in the known art, in order to compensate the synchronization delay, a delay circuit which delays horizontal and vertical synchronizing signals to be supplied from the master display controller to the CRT display according to the synchronization delay, and a delay circuit which delays image display data supplied from the frame buffer memory to a synthesizing circuit based on the access control by the master display controller according to the synchronization delay, are specially provided.

However, since the synchronization delay corresponds to a relatively long time period equivalent to a plurality of memory cycles, it is cumbersome to individually provide such delay circuits as external circuits. Further, a plurality of delay circuit elements are required, which disadvantageously causes an increase in the scale of delay circuitry.

THIS PAGE BLANK (USPTO)

JP63-266486

Furthermore, when the present invention is applied to a display system, the display is not limited to a CRT display but a liquid crystal display may be alternatively used. When the liquid crystal display is used, the synchronization control technique of the present invention can be applied to a liquid crystal driving circuit.

THIS PAGE BLANK (USP 10)

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-266486

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)11月2日

G 09 G 1/00
G 06 F 3/153

G-6974-5C
7341-5B

審査請求 未請求 発明の数 1 (全13頁)

⑮ 発明の名称 同期制御装置

⑯ 特 願 昭62-101312

⑰ 出 願 昭62(1987)4月24日

⑱ 発 明 者 山 崎 秀 樹 茨城県日立市幸町3丁目1番1号 株式会社日立製作所日立工場内
⑲ 発 明 者 武 田 博 東京都小平市上水本町1450番地 株式会社日立製作所武蔵工場内
⑲ 発 明 者 横 田 善 和 東京都小平市上水本町1450番地 株式会社日立製作所武蔵工場内
⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
㉑ 代 理 人 弁理士 玉村 静世

明 細 書

1. 発明の名称

同期制御装置

2. 特許請求の範囲

1. 所望の外部装置を内部装置の動作に追従動作させるための同期制御信号を出力する同期制御装置であって、その同期制御信号によって追従動作が指示される外部装置固有の同期動作遅れに呼応して、前記内部装置の動作タイミングに対し所定のタイミングをもって先に、その同期制御信号による追従動作指示を外部装置に与えるようにされて成ることを特徴とする同期制御装置。

2. 上記内部装置はラスタ走査型ディスプレイに対して走査同期信号を供給しながら表示制御をサポート可能な表示制御装置を含み、その表示制御装置がマスタ表示制御装置とされるとき、同期制御信号は、スレーブ表示制御装置としての外部装置に対し、前記マスタ表示制御装置による表示制御に同期した表示制御のタイミング

を与えるものであることを特徴とする特許請求の範囲第1項記載の同期制御装置。

3. 上記同期制御信号は、マスタ表示制御装置で所定の関係をもって形成される走査同期信号としての水平同期信号及び垂直同期信号に対して所定のタイミングをもってレベル制御されるものであり、スレーブ表示制御装置固有の同期動作遅れに呼応するサイクル数をラスタ走査型ディスプレイの水平走査周期サイクル数から減じてその結果を格納するレジスタと、水平走査サイクル数を順次計数する計数手段と、その計数手段による計数値と前記レジスタの格納データとの一致を検出する検出手段と、その検出手段の一致出力に基づいて垂直走査周期の開始タイミングよりもスレーブ表示制御装置固有の同期動作遅れサイクル数分だけ先に同期制御信号を追従動作指示レベルに制御する信号出力手段とによって形成されるものであることを特徴とする特許請求の範囲第2項記載の同期制御装置。

3. 発明の詳細な説明

特開昭63-266486(2)

〔産業上の利用分野〕

本発明は、マスタ・スレーブの関係を有する装置相互間又は同等の関係を有してデータのやりとりを行う装置相互間における同期制御技術に関し、例えば、CRT（カソード・レイ・チューブ）ディスプレイなどのラスタ走査型ディスプレイを制御する複数の表示制御装置をマスタ・スレーブの関係をもって同期動作させる表示システムなどに適用して有効な技術に関するものである。

〔従来技術〕

ディスプレイコントローラやグラフィックコントローラのような表示制御装置は、マイクロプロセッサから転送されるコマンドを解釈し、フレームバッファメモリ上に図形や文字などを作成する描画制御機能と、フレームバッファメモリの格納データをCRTディスプレイに表示する表示制御機能をサポートするが、超高精細カラーCRTディスプレイの制御やテレビジョンユニットでの文字多重などのアプリケーションに際して、複数の表示制御装置を同期動作若しくは並列動作させ

メモリに対するアクセスタイミング、CRTディスプレイに対する水平及び垂直同期タイミング、表示及び描画タイミングなどその内部動作のタイミングが厳格に規定されている。そのため、マスタ表示制御装置から出力される同期制御信号によってスレーブ表示制御装置に同期動作の開始がランダムに指示されても、当該スレーブ表示制御装置は、その内部動作に必要な各種タイミングを整えなければならない。即ち、スレーブ表示制御装置は、同期制御信号によって同期動作の開始が指示されると、当該装置内部のメモリサイクルの位相を同期動作の開始指示タイミングに応じて変更したり、内部の各種機能ブロックをイニシャライズするための固有の同期遅れを免れ得ない。このため、少なくとも、マスタ表示制御装置とスレーブ表示制御装置との間における表示アドレスの出力タイミングは、前記同期遅れに呼応してずれることになる。

CRTディスプレイを共有する複数の表示制御

ることができる。その場合に、マスタとされる表示制御装置と同期動作されるべきスレーブ表示制御装置には、同期動作のための同期制御信号がマスタ表示制御装置から供給されることになる。

例えば、昭和59年6月株式会社日立製作所発行の「ACRTC（アドバンスド・カソード・レイ・チューブ・コントローラ）ユーザズマニュアル」によれば、前記同期制御信号はマスタ表示制御装置の垂直同期信号と基本的に同じタイミングで形成されていた。例えば、ノンインタレースモードでは垂直同期信号と全く同一とされ、また、インタレースモードでは偶数フィールドと奇数フィールドとの識別のためのレベル変化が行われな

い点を除いて垂直同期信号と同一とされる。前記同期制御信号が供給されるスレーブ表示制御装置は、当該同期制御信号が同期動作を指示レベルにされるのを待って所定の内部動作を開始する。

〔発明が解決しようとする問題点〕

ところで、表示制御装置は、フレームバッファ

装置が含まれるシステムにおいて、マスタ表示制御装置が管理するフレームバッファメモリから読み出される表示データと、スレーブ表示制御装置が管理するフレームバッファメモリから読み出される表示データとを合成して表示するような場合に、前記同期遅れに伴って生ずるような表示アドレスの出力タイミングのずれの影響を何等かの手段によって解消しない限り複数の表示制御装置による同期表示を正常な状態で行うことはできない。そこで従来は、斯る同期遅れを遅延補償するために、マスタ表示制御装置からCRTディスプレイに供給すべき水平及び垂直同期信号を同期遅れ分だけ遅延させる遅延回路や、マスタ表示制御装置のアクセス制御に基づいてフレームバッファメモリから合成回路に供給される画像表示データを斯る同期遅れ分だけ遅延させる遅延回路が特別に設けられている。

しかしながら、斯る同期遅れは複数メモリサイクルに相当するような比較的長い時間になるため、そのような遅延回路を外付け回路として個別的に

特開昭63-266486(3)

設けること自体手間である上に、遅延用の回路素子が複數個必要になって当該遅延のための回路規模が大型化するという問題点があった。

本発明の目的は、固有の同期遅延を持つ外部装置を簡単且つ確実に内部装置に同期動作させることができる同期制御装置を提供することにある。

本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

〔問題点を解決するための手段〕

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

すなわち、所望の外部装置を内部装置の動作に追従動作させるための同期制御信号を出力する同期制御装置であって、その同期制御信号によって追従動作が指示される外部装置固有の同期動作遅れに呼応して、内部装置の動作タイミングに対し所定のタイミングをもって先に、その同期制御信号による追従動作指示を外部装置に与えるようにされて成るものである。

を管理する。

上記各表示制御装置MDSPC, SDSPCは、基本的にマイクロプロセッサMPUから転送されるコマンドを解釈し、フレームバッファメモリFBM上に図形や文字などを作成する描画制御機能と、フレームバッファメモリの格納データをCRTディスプレイDCRTに表示するための表示制御機能、及び、画像非表示期間にフレームバッファメモリFBMをリフレッシュするリフレッシュ制御機能をサポートする。第3図には専ら画像表示のためのシステム構成が示されているが、各表示制御装置MDSPC, SDSPCから出力される表示アドレス信号DADRはフレームバッファメモリFBMに供給され、それによってアドレッシングされて読み出される画像データはビデオ信号VSI Gとして合成回路MIXに供給され、そこでデジタル的に又はアナログ的に合成された合成ビデオ信号CVSI GがCRTディスプレイDCRTに供給される。CRTディスプレイDCRTに対する水平及び垂直走査同期制御は、マスタ

〔作用〕

上記した手段によれば、固有の同期遅延を持つ外部装置に、その同期遅延に応じた先のタイミングをもって追従動作指示が与えられることにより、当該外部装置を簡単且つ確実に内部装置に同期動作させることを達成するものである。

〔実施例〕

第1図は本発明に係る同期制御装置の1実施例であるマスタ表示制御装置の1部を示すブロック図、第2図はマスタ表示制御装置と同期動作されるスレーブ表示制御装置を示すブロック図、第3図はマスタ表示制御装置及びスレーブ表示制御装置を含む表示システムの構成ブロック図である。

第3図に示される表示システムには、1つのマスタ表示制御装置MDSPCと複數個のスレーブ表示制御装置SDSPCとが含まれていて、各表示制御装置MDSPC, SDSPCは、特に制限されないが、夫々個別的にDRAM(ダイナミック・ランダム・アクセス・メモリ)から成るようなフレームバッファメモリFBMのアドレス空間

表示制御装置MDSPCから出力される水平同期信号HSYNC及び垂直同期信号VSYNCに基づいて実行される。尚、第3図には示されていないが、スレーブ表示制御装置SDSPCもその内部動作に呼応するタイミングに従って水平及び垂直同期信号を出力しているが、それらは当該表示システムでは外部において利用されない。

CRTディスプレイDCRTに対する画像表示に際して、各スレーブ表示制御装置SDSPCはマスタ表示制御装置MDSPCと同期動作される。スレーブ表示制御装置SDSPCに対する同期動作の指示はマスタ表示制御装置MDSPCから出力される同期制御信号EXVSYNCによって与えられる。この同期制御信号EXVSYNCは、従来とは相違して垂直同期信号VSYNCとは異なるタイミングで形成されて出力される。即ち、マスタ表示制御装置MDSPCからスレーブ表示制御装置SDSPCに同期動作の開始が指示されたときに、当該スレーブ表示制御装置SDSPCにおいて、同装置SDSPC内部のメモリサイク

特開昭63-266486 (4)

ルの位相を同期動作の開始指示タイミングに応じて変更したり、内部の各種機能ブロックをインシャライズするという内部同期動作に必要な各種タイミングを整えるための同装置SDSPC固有の内部同期遅れに呼応する時間だけ先に同期動作の開始を指示するようなタイミングで出力される。

したがって、画像表示に際して、スレーブ表示制御装置SDSPC固有の内部同期遅れ分だけ先にスレーブ表示制御装置SDSPCの動作開始が前記同期制御信号EXVSYNCによって指示されることにより、マスタ表示制御装置MDSPCから出力される同期信号HSYNC、VSYNC及び表示アドレス信号DADRと、スレーブ表示制御装置SDSPCから出力される図示しない水平・垂直同期信号及び表示アドレス信号DADRとが完全に同期化される。その結果として、スレーブ表示制御装置SDSPC固有の内部同期遅れを遅延補償するような遅延手段を外部に個別的に設ける必要がなくなる。

次に、前記同期制御信号EXVSYNCによっ

設定され、レジスタREG2には水平同期信号パルス幅サイクル数HSWが設定され、レジスタREG3には1フレームを構成する垂直走査ラスタ数VCが設定され、また、レジスタREG4には垂直同期信号ネグートラスタ数VSP（垂直走査周期-垂直同期信号パルス幅）が設定される。尚、上記サイクル数は、特に制限されないが、システムクロック信号CLKを分周形成してメモリサイクルや内部ステートを規定する信号のサイクル（メモリサイクルに等しい）を基準とするものである。また、水平同期信号HSYNCに対する水平走査周期サイクル数HC及び水平同期信号パルス幅サイクル数HSWの関係と、垂直同期信号VSYNCに対する垂直走査ラスタ数VC及び垂直同期信号ネグートラスタ数VSPの関係は第4図に概念的に示されている。

レジスタREG6は、前記スレーブ表示制御装置SDSPC固有の内部同期遅れに呼応する内部遅れサイクル数（メモリサイクル数を基準とする） n が設定されるレジスタである。内部遅れサイク

てスレーブ表示制御装置SDSPCの動作をマスタ表示制御装置MDSPCに同期化する構成を更に詳細に説明する。

第1図には、マスタ表示制御装置MDSPCにおいて、前記水平同期信号HSYNC、垂直同期信号VSYNC、及び同期制御信号EXVSYNCを形成するタイミング演算回路の詳細が示されている。当該マスタ表示制御装置MDSPCには、夫々図示はしないが、表示アドレスや各種タイミング信号を形成する表示プロセッサ、画像非表示期間中にフレームバッファメモリFBMをのためのリフレッシュアドレスを形成するリフレッシュアドレス制御回路、所定のアルゴリズムに従って順次描画アドレスを生成する描画プロセッサなどが含まれていることは言うまでもない。

第1図のマスタ表示制御装置MDSPCには、マイクロプロセッサMPUによって直接データ設定される4個のレジスタREG1乃至REG4が代表的に示されている。レジスタREG1には1ラスタを構成する水平走査周期サイクル数HCが

ル数 n は、スレーブ表示制御装置SDSPCの能力に応じて決定することができるが、一旦システムを構成した後に変更する必要がない場合には、特にマイクロプロセッサMPUによって直接データ設定可能にしないでよい。前記レジスタREG1に水平走査周期サイクル数HCが設定されると、制御記憶 μ ROMによるマイクロプログラム制御で算術ユニットAUが動作されて、水平走査周期サイクル数HCから内部遅れサイクル数 n が減算され、その演算結果 $HC-n$ がレジスタREG5に転送される。

マスタ表示制御装置MDSPCには、前記水平同期信号HSYNC、垂直同期信号VSYNC、及び同期制御信号EXVSYNCを形成するタイミング演算のために、2個のカウントHCOUNT及びVCOUNTが設けられている。カウントVCOUNTは、1フレームに含まれる垂直方向ラスタ数を走査に応じて順次計数するカウンタであり、HCOUNTは水平走査方向サイクル数をメモリサイクルに従って順次計数するカウンタで

特開昭63-266486(5)

ある。

前記カウンタHCOUNTの出力は、コンパレータHCOMP1によってレジスタREG1の出力データ（水平走査周期サイクル数HC）との一致が検出されると共に、コンパレータHCOMP2によってレジスタREG5の出力データ（HC-n）との一致が検出され、更に、コンパレータHCOMP3によってレジスタREG2の出力データ（水平同期信号パルス幅サイクル数HSW）との一致が検出される。コンパレータHCOMP1の出力は、インバータINVB3を介して前記水平同期信号HSYNCを出力するフリップフロップHFFのセット端子Sに供給され、コンパレータHCOMP3の出力は前記フリップフロップHFFのリセット端子Rに供給される。フリップフロップHFFのセット条件はカウンタHCOUNTの出力が水平走査周期サイクル数HCに一致して、コンパレータHCOMP1の出力がハイレベルのような一致レベルにされることである。即ち前記コンパレータHCOMP1は、水平同期信

号HSYNCをアサート（ハイレベルからロウレベルへ変化）すべきメモリサイクルの検出を行う。また、フリップフロップHFFのリセット条件はカウンタHCOUNTの出力が水平同期信号パルス幅サイクル数HSWに一致して、コンパレータHCOMP3の出力がハイレベルのような一致レベルにされることである。即ち前記コンパレータHCOMP3は、水平同期信号HSYNCをネグート（ロウレベルからハイレベルへ変化）すべきメモリサイクルの検出を行う。尚、カウンタHCOUNTはコンパレータHCOMP1の一致出力によってリセットされ1水平走査毎に初期値に戻る。

前記カウンタVCOUNTの出力は、コンパレータVCOMP1によってレジスタREG3の出力データ（垂直走査ラスタ数VC）との一致が検出されると共に、コンパレータVCOMP2によってレジスタREG4の出力データ（垂直同期信号ネグートラスタ数VSP）との一致が検出される。コンパレータVCOMP1の出力は、インバ

ータINVB1を介して前記垂直同期信号VSYNCを出力するフリップフロップVFFのリセット端子Rと、インバータINVB2を介して前記同期制御信号EXVSYNCを出力するフリップフロップEXVFFのリセット端子Rに供給される。コンパレータVCOMP2の出力は、前記フリップフロップVFFのセット端子Sと、前記フリップフロップEXVFFのセット端子Sに供給される。両フリップフロップVFF、EXVFFの必要なセット条件はカウンタVCOUNTの出力が垂直同期信号ネグートラスタ数VSPに一致して、コンパレータVCOMP2の出力がハイレベルのような一致レベルにされることである。即ち前記コンパレータVCOMP2は、垂直同期信号VSYNC及び同期制御信号EXVSYNCをアサートすべきラスタの検出を行う。また、両フリップフロップVFF、EXVFFの必要なリセット条件はカウンタVCOUNTの出力が垂直走査ラスタ数VCに一致して、コンパレータVCOMP1の出力がハイレベルのような一致レベルに

されることである。即ち前記コンパレータVCOMP1は、垂直同期信号VSYNC及び同期制御信号EXVSYNCをネグートすべきラスタの検出を行う。尚、カウンタVCOUNTは前記コンパレータHCOMP1の一致出力によって1ラスタ走査毎にインクリメントされ、且つ、前記コンパレータVCOMP1の一致出力により1フレームの走査毎にリセットされて初期値に戻る。

前記フリップフロップVFF及びEXVFFは、クロック端子CKに入力される信号がハイレベルにされているときにのみセット端子S及びリセット端子Rに供給される制御入力とその出力Qに影響を与えるクロック同期形式を採る。即ち、フリップフロップVFFのセット/リセットは、カウンタHCOUNTの計数値が水平走査周期サイクル数HCに一致してコンパレータHCOMP1がハイレベルの一致出力を出力するタイミングで行われ、また、フリップフロップEXVFFのセット/リセットは、カウンタHCOUNTの計数値がレジスタREG5の出力データ「HC-n」に

特開昭63-266486(6)

一致してコンパレータHCOMP2がハイレベルの一致出力を出力するタイミングで行われる。したがって、同期制御信号EXVSYNCは、垂直同期信号VSYNCに対して、前記スレーブ表示制御装置SDSPC固有の内部同期遅れに呼応する内部遅れサイクル数nだけ常時先にネゲートされる。

上記水平同期信号HSYNC、垂直同期信号VSYNC、及び同期制御信号EXVSYNCを形成する動作シーケンスを第4図に示すタイムチャートに基づいて説明する。

時刻 t_0 乃至 t_1 の1フレームの走査において、それに含まれる1ラスタの走査期間中(時刻 t_0 乃至 t_1)、時刻 t_0 にカウンタHCOUNTの計数値が水平走査周期サイクル数HCに一致してコンパレータHCOMP1から出力される一致出力によってフリップフロップHFFFがセット状態にされると、水平同期信号HSYNCがアサートされると共に、カウンタHCOUNTがリセットされて次のラスタ走査(時刻 t_0 乃至 t_1)のための

メモリサイクル数を計数開始する。時刻 t_1 にカウンタHCOUNTの計数値が水平同期信号ハルス幅サイクル数HSWに一致してコンパレータHCOMP3から出力される一致出力によってフリップフロップHFFFがリセット状態にされると、水平同期信号HSYNCがネゲートされる。次いで、時刻 t_2 にカウンタHCOUNTの計数値がレジスタREG5の出力データ(HC-n)に一致するとコンパレータHCOMP2から出力される一致出力がハイレベルとされる。そして、時刻 t_2 にカウンタHCOUNTの計数値が水平走査周期サイクル数HCに一致してコンパレータHCOMP1から出力される一致出力によってフリップフロップHFFFがセット状態にされると、水平同期信号HSYNCがアサートされると共に、カウンタHCOUNTがリセットされて次のラスタ走査のためのメモリサイクル数を計数開始する。各ラスタ走査において上記動作が繰り返されるが、カウンタVCOUNTの計数値が垂直同期信号ネゲートラスタ数VSPに一致してコンパレータV

COMP2から出力される一致信号がフリップフロップVFFF及びEXVFFFのセット端子Sに供給された状態において、時刻 t_2 にコンパレータHCOMP2の出力がハイレベルのような一致レベルにされると、フリップフロップEXVFFFがセット状態にされて、同期制御信号EXVSYNCが垂直同期信号VSYNCよりもnメモリサイクル先にアサートされる。そして、時刻 t_2 からnメモリサイクルが経過した時刻 t_3 にコンパレータHCOMP1の出力がハイレベルのような一致レベルにされると、そのとき前記コンパレータVCOMP2はハイレベルのような一致信号をフリップフロップVFFFのセット端子Sに供給維持しているから、当該時刻 t_3 に垂直同期信号VSYNCが時刻 t_2 からnメモリサイクルだけ遅れてアサートされる。

更にカウンタVCOUNTの計数値が垂直走査ラスタ数VCに一致してコンパレータVCOMP1から出力される一致信号がフリップフロップVFFF及びEXVFFFのリセット端子Rに供給され

た状態において、時刻 t_3 にコンパレータHCOMP2の出力がハイレベルのような一致レベルにされると、フリップフロップEXVFFFがリセット状態にされることにより、同期制御信号EXVSYNCが垂直同期信号VSYNCよりもnメモリサイクル先にネゲートされる。そして、時刻 t_3 からnメモリサイクルが経過した時刻 t_4 にコンパレータHCOMP1の出力がハイレベルのような一致レベルにされると、そのとき前記コンパレータVCOMP1はハイレベルのような一致信号をフリップフロップVFFFのリセット端子Rに供給供給維持しているから、当該時刻 t_4 に垂直同期信号VSYNCが時刻 t_3 からnメモリサイクル遅れてネゲートされる。

したがって、スレーブ表示制御装置SDSPCは固有の内部同期遅れに呼応したnメモリサイクルだけ先に内部で必要なタイミング設定やイニシャライズ動作を開始して、マスタ表示制御装置MDSPCとの完全同期化が可能とされる。

次に、上記同期制御信号EXVSYNCが入力

特開昭63-266486(7)

されるスレーブ表示制御装置SDSPCの詳細な一例を第2図に基づいて説明する。

スレーブ表示制御装置SDSPCは、前記マスタ表示制御装置MDSPCと同様に、表示アドレスや各種タイミング信号を形成する表示プロセッサDSPU、画像非表示期間中にフレームバッファメモリFBMのためのリフレッシュアドレスを形成するリフレッシュアドレス演算回路RFU、及び所定のアルゴリズムに従って順次描画アドレスを生成する描画プロセッサDRUが含まれている。

マスタ表示制御装置MDSPCから供給される同期制御信号EXVSYNCは入力バッファIBFを介して所定時間Tibf(第5図参照)だけ不所望に遅延されて波形成り出し回路EXPGENに供給される。波形成り出し回路EXPGENは、入力バッファIBFを介して内部に取り込まれた同期制御信号EXVSYNCのロウレベルからハイレベルへの変化を検出して内部イニシャライズ信号EXRSTを形成する回路で、遅延回路

DEL1、インバータINV、及びアンドゲート回路ANDによって構成される。波形成り出しEXPGENから出力される内部イニシャライズ信号EXRSTは、入力バッファIBFを介して所定時間Tibfだけ不所望に遅延されて内部に取り込まれる同期制御信号EXVSYNCのロウレベルからハイレベルへの変化に呼応して前記遅延回路DEL1で決定される遅延時間だけハイレベルに変化される。

この内部イニシャライズ信号EXRSTは、そのハイレベルによって、前記表示プロセッサDSPU、リフレッシュアドレス演算回路RFU、及び描画プロセッサDRUの夫々にイニシャライズ動作の指示を与え、更に、遅延回路DEL2を経由して(当該遅延回路DEL2の出力信号を以下イニシャライズ信号STINITと記す)、システムクロックCLKに基づき各部DSPU、RFU、DRUへの内部ステート信号IMCYCを生成する分局回路DIVのイニシャライズを行う。前記内部ステート信号IMCYCは、各部DSP

U、RFU、DRUにおいてフレームバッファメモリFBMのメモリサイクルにされると共に、フレームバッファのための各種アクセス制御信号形成用とされ、更に、出力バッファOBF2を介して外部回路制御用のステート信号MCYC1及びMCYC2とされる。尚、前記遅延回路DEL2は、表示プロセッサDSPUなどへの動作に対して、内部ステート信号IMCYCイニシャライズが影響を与えないようにするためのタイミング調整手段である。具体的には、システムクロック信号CLKにおける1メモリサイクルの内のランダムなサイクルで同期制御信号EXVSYNCがネゲートされるため、少なくとも内部でメモリサイクルとして定義される内部ステート信号IMCYC信号の位相をマスタ表示制御装置MDSPCにおけるメモリサイクルに合わせるようにするためのものである。即ち、第5図の時刻tiに示されるようにイニシャライズ信号STINITのハイレベルからロウレベルへの変化タイミングがステート信号MCYC1の1サイクルの始点に呼応され

るように位相合わせされる。ステート信号MCYC2は、特に制限されないが、分局回路DIVの構成によってステート信号MCYC1に対しその1/4周期遅延された位相を持つ信号として制御される。

前記表示プロセッサDSPUは、水平垂直同期信号タイミング演算回路SYCU、表示位置タイミング演算回路DSPTMG、及び表示アドレス演算回路DADDRUから構成されている。

前記水平垂直同期信号タイミング演算回路SYCUは、当該スレーブ表示制御装置SDSPCにおける水平同期信号SHSYNC及び垂直同期SVSYNCを形成すると共に、表示位置タイミング演算回路DSPTMGに対して基準タイミング信号BTMGを供給する。水平垂直同期信号タイミング演算回路SYCUに含まれる遅延回路DEL3及びDEL4は、表示位置タイミング演算回路DSPTMG、及び表示アドレス演算回路DADDRUにおける動作遅延を補償するタイミング調整手段であり、具体的には水平同期信号SHSY

特開昭63-266486(8)

NC及び垂直同期SVSYNCと、表示アドレス演算回路DADDRUによる表示アドレスの出力タイミングとを一致させるためのものである。尚、水平同期信号SHSYNC及び垂直同期SVSYNCは、遅延回路DEL3及びDEL4を介して出力バッファOBF3から外部に出力されているが、本実施例の表示システムにおいては、CRTディスプレイDCRTの走査用同期信号とはされない。

前記表示位置タイミング演算回路DSPTMGは表示位置のタイミング演算を実行し、表示アドレス演算回路DADDRUに表示アドレス演算指令ADDRESSを与える。表示アドレス演算回路DADDRUは表示アドレスの演算を行って、その表示アドレス信号を出力バッファOBF1からフレームバッファメモリFBMに供給可能とする。

斯るスレーブ表示制御装置SDSPCにおいて、それに供給される前記同期制御信号EXVSYNCが第5図の時刻 t_1 （第4図の時刻 t_1 に対応する時刻である）にネグートされると、前記入カバ

ッファIBFによる不所望な遅延時間 T_{ibf} と、水平垂直同期信号タイミング演算回路SYCUに基準タイミング信号BTMG形成のための遅延時間 T_{btmg} と、表示位置タイミング演算回路DSPTMGにおける演算遅延時間 T_{dsptmg} と、表示アドレス演算回路DADDRUにおける時刻 t_j の表示アドレス演算基準タイミングからの演算遅延時間 T_{dadru} と、出力バッファOBF1における出力遅延 T_{obf} とを経過した後の時刻 t_2 （第4図における時刻 t_2 に呼応する時刻）において、当該スレーブ表示制御装置SDSPCの水平同期信号SHSYNCがアサートされ、且つ、垂直同期信号SVSYNCがネグートされる。第5図の時刻 t_1 から t_2 までの遅延時間 T_{del} は当該スレーブ表示制御装置SDSPC固有の内部同期遅れである。

この内部同期遅れに呼応する遅延時間 T_{del} は、マスタ表示制御装置MDSPCのレジスタREG6に設定されているメモリサイクル数 n に呼応するものである。したがって、スレーブ表示制

御装置SDSPC固有の内部同期遅れ分だけ先にスレーブ表示制御装置SDSPCの動作開始が前記同期制御信号EXVSYNCによって指示されることにより、第6図にも示されるように、マスタ表示制御装置MDSPCから出力される同期信号HSYNC、VSYNC及び表示アドレス信号DADDRと、スレーブ表示制御装置SDSPCから出力される同期信号SHSYNC、SVSYNC及び表示アドレス信号DADDRとが完全に同期化される。尚、第6図の時刻 t_1 、 t_2 は第4図のそれと対応する。

上記実施例によれば以下の作用効果を得るものである。

(1) スレーブ表示制御装置SDSPC固有の内部同期遅れに呼応する遅延時間 T_{del} は、マスタ表示制御装置MDSPCのレジスタREG6に設定されているメモリサイクル数 n に呼応するものであるから、スレーブ表示制御装置SDSPC固有の内部同期遅れ分だけ先にスレーブ表示制御装置SDSPCの動作開始が前記同期制御信号E

XVSYNCによって指示されることにより、マスタ表示制御装置MDSPCから出力される同期信号HSYNC、VSYNC及び表示アドレス信号DADDRと、スレーブ表示制御装置SDSPCから出力される同期信号SHSYNC、SVSYNC及び表示アドレス信号DADDRとが完全に同期化される。即ち、スレーブ表示制御装置SDSPCは固有の内部同期遅れに呼応した n メモリサイクルだけ先に内部で必要なタイミング設定やイニシャライズ動作を開始して、マスタ表示制御装置MDSPCとの完全同期化を達成することができる。

(2) 上記作用効果より、スレーブ表示制御装置SDSPC固有の内部同期遅れを遅延補償するような遅延手段を外付け回路として個別に設ける必要がなくなる。

(3) 上記作用効果(2)より、比較的大きな同期遅れを遅延補償するために従来必要とされていた外付け回路としての遅延手段が不要になるので、当該遅延手段を外付け回路として個別に設ける

特開昭63-266486(9)

手間が省けると共に、表示システムを構成する回路規模の小型化、さらにはそれによってシステムの信頼性向上を達成することができる。

以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが、本発明は上記実施例に限定されず、その要旨を逸脱しない範囲において種々変更することができる。

例えば、上記実施例ではマスタ表示制御装置の垂直同期信号のハイレベルへの変化タイミングを基準にしてスレーブ表示制御装置固有の同期遅れを補償する構成としたが、本発明はそれに限定されるものではなく、マスタ表示制御装置の内部状態の変化をその他の信号を基準にしてスレーブ表示制御装置に知らせる構成にしてもよい。また、スレーブ表示制御装置固有の同期遅れが種々異なる場合には、第1図に示されるレジスタREG6の同期遅れ補償サイクル数nをマイクロプロセッサMPUによってプログラマブルに設定可能にすることができる。

更に、本発明を表示システムに適用する場合、

追従動作が指示される外部装置固有の同期動作遅れに呼応して、内部装置の動作タイミングに対し所定のタイミングをもって先に、その同期制御信号による追従動作指示を外部装置に与えるようにしたから、固有の同期遅延を持つ外部装置に、その同期遅延に応じた先のタイミングをもって追従動作指示が与えられることにより、当該外部装置を簡単且つ確実に内部装置に同期動作させることができる。

4. 図面の簡単な説明

第1図は本発明に係る同期制御装置の1実施例であるマスタ表示制御装置の1部を示すブロック図、

第2図はマスタ表示制御装置と同期動作されるスレーブ表示制御装置を示すブロック図、

第3図はマスタ表示制御装置及びスレーブ表示制御装置を含む表示システムの構成ブロック図、

第4図は第1図のマスタ表示制御装置における水平同期信号、垂直同期信号、及び同期制御信号を形成するための動作シーケンスを示すタイムチ

ャート。ディスプレイはCRTディスプレイに限定されるものではなく、液晶ディスプレイでもよく、その場合には、本発明の同期制御技術は液晶駆動回路に適用することができる。

以上の説明では、主として本発明者によってなされた発明をその背景となった利用分野である表示システムに適用した場合について説明したが、本発明はそれに限定されるものではなく、通信データの相互やりとりの際してのタイミング位相合わせなどの通信制御技術などにも適用することができる。本発明は、少なくとも複数の装置間で同期もしくは追従関係をもって動作させる条件のものに適用することができる。

〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば以下の通りである。

すなわち、所望の外部装置を内部装置の動作に追従動作させるための同期制御信号を出力する同期制御装置であって、その同期制御信号によって

ャート、

第5図は第2図のスレーブ表示制御装置固有の内部同期遅れを説明するためのタイムチャート、

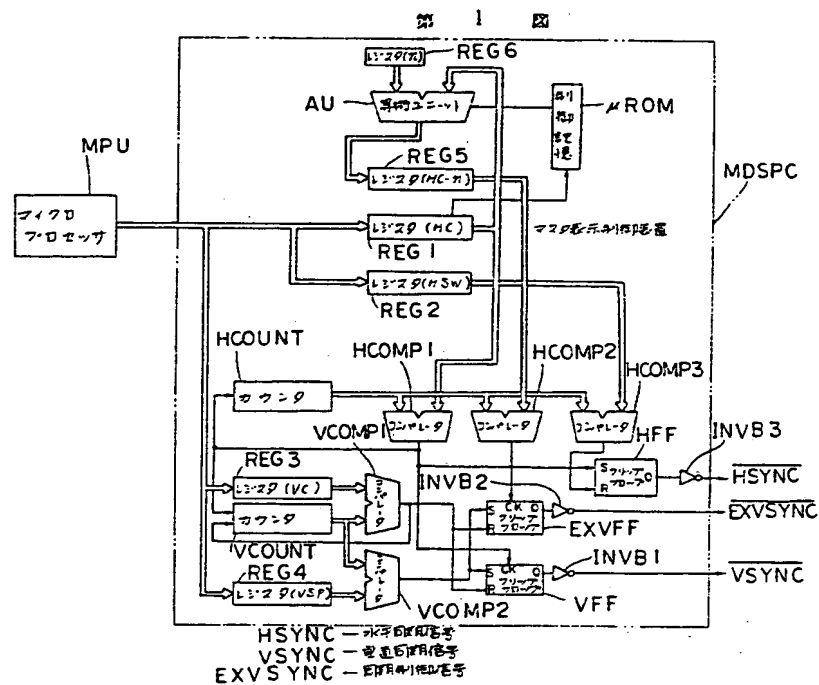
第6図はマスタ表示制御装置及びスレーブ表示制御装置相互間の同期動作を説明するためのタイムチャートである。

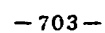
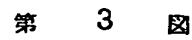
MPU…マイクロプロセッサ、MDSPC…マスタ表示制御装置、SDSPC…スレーブ表示制御装置、FBM…フレームバッファメモリ、MIX…合成回路、DCRT…CRTディスプレイ、HSYNC…水平同期信号、SHSYNC…水平同期信号、VSYNC…垂直同期信号、SVSYNC…垂直同期信号、EXVSYNC…同期制御信号、DADR…表示アドレス信号、CLK…システムクロック信号、REG1乃至REG6…レジスタ、HCOUNT…カウンタ、VCOUNT…カウンタ、HCOMP1乃至HCOMP3…コンパレータ、VCOMP1及びVCOMP2…コンパレータ、VFF…フリップフロップ、EXVFF…フリップフロップ、HFF…フリップフロ

特開昭63-266486 (10)

ップ、 n …内部遅れサイクル数、 HC …水平走査
周期サイクル数、 HSW …水平同期信号パルス幅
サイクル数、 VC …垂直走査ラスタ数、 VSP …
垂直同期信号ネゲートラスタ数、 $DSPU$ …表示
プロセッサ、 RFU …リフレッシュアドレス演算
回路、 DRU …描画プロセッサ。

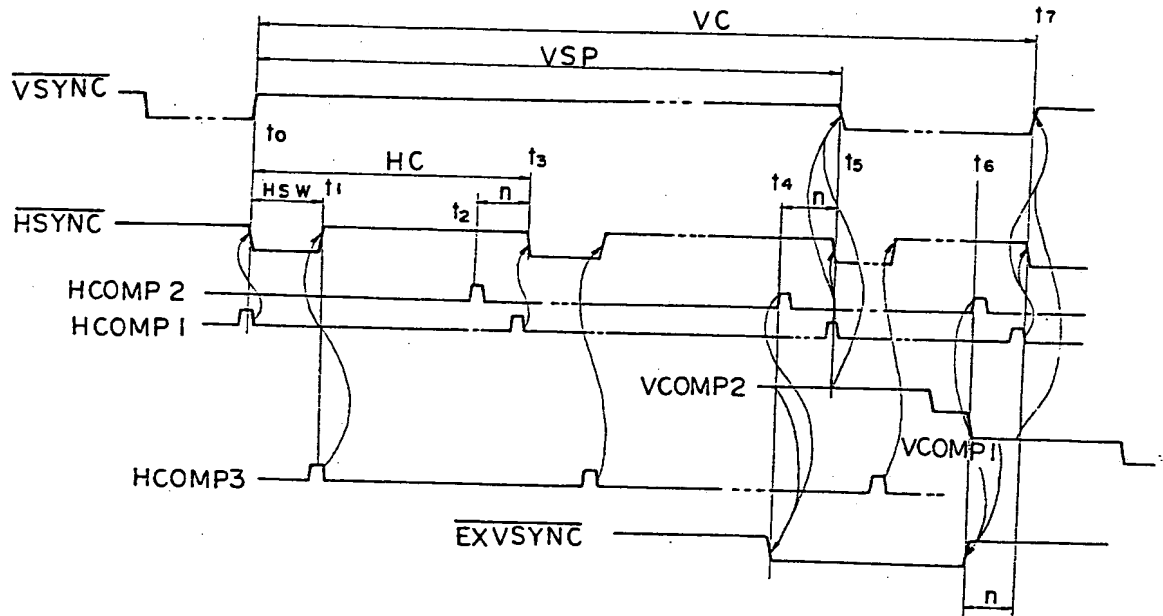
代理人 井理士 玉村 静世



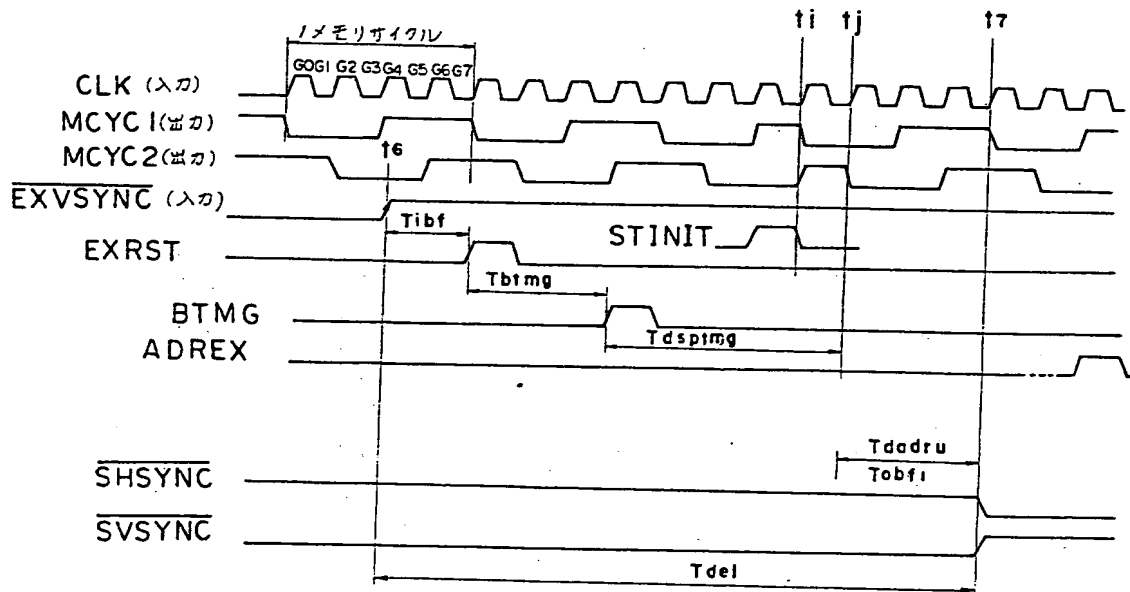


特開昭63-266486 (12)

第 4 図

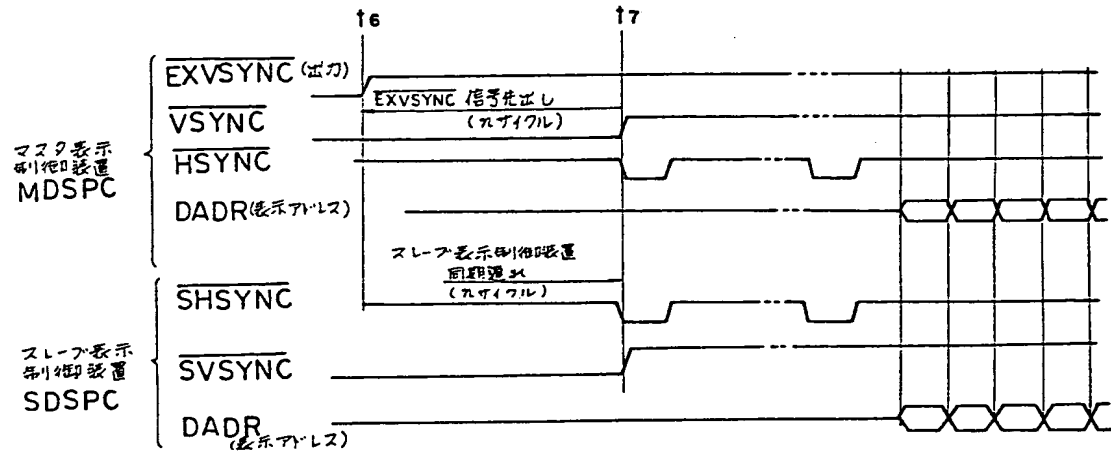


第 5 図



特開昭63-266486 (13)

第 6 図



THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)